

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

JEONG-HO BANG, ET AL.

Application No.:

Filed:

For: **Pipe Latch Circuit For Outputting
Data With High Speed**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

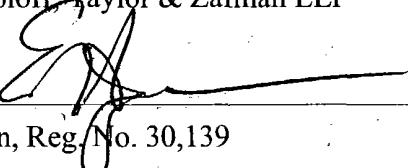
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2002-0072262	20 November 2002

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP


Eric S. Hyman, Reg. No. 30,139

Dated: 7/15/03

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800



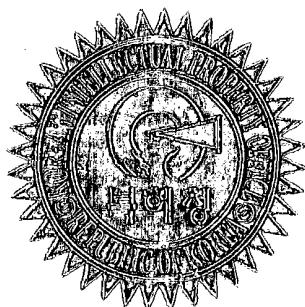
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0072262
Application Number PATENT-2002-0072262

출 원 년 월 일 : 2002년 11월 20일
Date of Application NOV 20, 2002

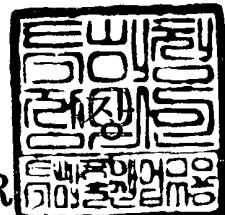
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2002 년 12 월 03 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.20
【발명의 명칭】	고속 데이터 출력을 위한 파이프래치 회로
【발명의 영문명칭】	Pipe latch circuit for output data with high speed
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	방정호
【성명의 영문표기】	BANG, Jeong Ho
【주민등록번호】	710120-1150715
【우편번호】	467-140
【주소】	경기도 이천시 고담동 72-1번지 고담기숙사 101-401
【국적】	KR
【발명자】	
【성명의 국문표기】	남기준
【성명의 영문표기】	NAM, Ki Jun
【주민등록번호】	670621-1024010
【우편번호】	415-747
【주소】	경기도 김포시 장기동 전원마을 527번지 월드6차아파트 405-1104
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	23	면	23,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	6	항	301,000	원
【합계】	353,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 회로면적은 최소화하면서도 고속동작에 유리한 파이프래치 회로를 제공하기 위한 것으로, 이를 위해 본 발명은 각각 순차적으로 입력되는 다수개의 제1 데이터와 제2 데이터를 저장하고, 이를 상승에지용 출력데이터 또는 하강에지용 출력데이터로 출력하기 위한 파이프래치 회로에서, 상기 제1 데이터를 입력받기 위한 제1 입력레지스터; 각각 직렬연결된 다수의 레지스터를 구비하며, 상기 제1 입력레지스터의 출력을 선택적으로 저장하고, 선택적으로 출력하기 위한 다수의 제1 직렬 파이프래치; 상기 다수의 제1 직렬 파이프래치에서 출력되는 데이터를 저장하기 위한 제1 연결레지스터; 상기 제2 데이터를 입력받기 위한 제2 입력레지스터; 각각 직렬연결된 다수의 레지스터를 구비하며, 상기 제2 입력레지스터의 출력을 선택적으로 저장하고, 선택적으로 출력하기 위한 다수의 제2 직렬 파이프래치; 상기 다수의 제2 직렬 파이프래치에서 출력되는 데이터를 저장하기 위한 제2 연결레지스터; 상기 제1 연결레지스터와 상기 제2 연결레지스터에 저장된 데이터를 상기 상승에지용 출력데이터 또는 상기 하강에지용 출력데이터로 선택하여 출력하기 위한 멀티플렉서; 및 상기 다수의 제1 및 제2 직렬 파이프래치와, 상기 멀티플렉서를 제어하기 위한 파이프래치 회로 제어부를 구비하는 파이프래치 회로를 제공한다.

【대표도】

도 4

1020020072262

출력 일자: 2002/12/4

【색인어】

반도체, 메모리, 파이프래치 회로, 레지스터, 멀티플렉서, 카스레이턴시

【명세서】**【발명의 명칭】**

고속 데이터 출력을 위한 파이프래치 회로(Pipe latch circuit for output data with high speed)

【도면의 간단한 설명】

도1은 통상적인 DDR 동기식 디램을 나타내는 블럭구성도.

도2a는 종래기술에 의해 레지스터를 병렬로 구성한 파이프래치 회로를 나타내는 블럭구성도.

도2b는 도2a에 도시된 파이프래치 회로를 제어하기 위한 파이프래치 회로 제어부의 블럭구성도.

도3은 종래기술에 의해 레지스터를 직렬로 구성한 파이프래치 회로 및 그 제어부의 블럭구성도.

도4는 본 발명의 일실시예에 따른 파이프래치 회로의 블럭구성도.

도5는 도4에 도시된 직렬 파이프래치의 일실시예를 나타내는 블럭구성도.

도6은 도4에 도시된 파이프래치 회로 제어부의 블럭구성도.

도7은 도6에 도시된 직렬 파이프래치 제어부의 일실시예를 나타내는 블럭구성도.

도8은 도6에 도시된 직렬 파이프래치 제어부의 제2 실시예를 나타내는 블럭구성도.

도9는 종래기술과 본 발명에 따른 파이프래치 회로를 비교한 도표.

도10은 16개의 레지스터를 이용하여 본 발명에 따른 파이프래치 회로를 구성한 블럭구성도.

도11은 도10에 도시된 직렬 파이프래치를 나타내는 블럭구성도.

도12는 도10에 도시된 파이프래치 회로의 제어부를 나타내는 블럭구성도.

도13은 도12에 직렬 파이프래치 제어부를 나타내는 회로도.

도14은 도10에 도시된 파이프래치 회로를 나타내는 회로도.

도15는 도10에 도시된 파이프래치 회로의 동작을 나타내는 과정도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 셀영역에서 출력되는 데이터를 입력받아 래치한 다음 외부로 출력하기 위한 파이프래치 회로에 관한 것이다.

<18> 일반적으로 동기식메모리는 연속적인 데이터의 출력을 위하여 파이프래치 회로를 갖는다. 파이프래치 회로는 셀영역에서 전달된 데이터를 저장하였다가 클록에 동기시켜 순차적으로 출력버퍼로 내보내는 역할을 하는 회로이다. 이러한 파이프래치 회로를 제어하는 회로로 파이프래치 회로 제어장치가 있는데, 파이프래치 회로 제어장치는 셀영역에서 전달되는 데이터를 클록에 동기시켜 순차적으로 파이프래치 회로에 저장하고, 출력할 수 있도록 제어해 주는 장치이다.

<19> 도1은 통상적인 DDR(Double Date Rate) 동기식 메모리 장치를 나타내는 블럭구성도이다.

<20> 도1을 참조하여 살펴보면, DDR 동기식 메모리 장치는 로우어드레스를 입력받아 디코딩하여 출력하는 로우어드레스 입력부(400)와, 컬럼어드레스를 입력받아 디코딩하여 출력하는 컬럼어드레스 입력부(300)와, 로우어드레스 입력부(400)와 컬럼어드레스 입력부(300)에서 출력되는 신호에 따라 해당되는 데이터를 출력하는 셀영역(500)과, 클럭신호와 명령어 신호등을 입력받아 디코딩하는 명령어해석부(600)와, 셀영역(500)에서 출력되는 데이터를 순차적으로 입력받아 출력버퍼로 출력하는 파이프래치 회로(100)와, 클럭신호와 명령어해석부(600)의 출력신호를 입력받아 파이프래치 회로(100)를 제어하는 파이프래치 회로 제어부(200)와, 파이프래치 회로(100)의 출력을 외부의 출력데이터로 출력하기 위한 출력버퍼(700)를 구비한다.

<21> 클럭의 상승에지(rising edge)와 하강에지(falling edge)에 데이터가 각각 출력되는 DDR(Double Data rate) 메모리 장치에서는 파이프래치 회로(100)가 짹수데이터와 홀수데이터를 각각 셀영역(500)으로부터 입력받고, 이를 상승에지용 데이터와 하강에지용 데이터로 구분하여 출력버퍼(700)로 출력하게 된다. 짹수데이터와 홀수데이터는 외부에서 입력되는 동작클럭의 상승에지와 하강에지에 각각 동기되어 출력하기 위해서 셀영역(500)에서 파이프래치 회로(100)로 입력되는 데이터이다.

<22> 한편, 파이프래치 회로(100)는 입력되어 래치하는 데이터의 수에 따라 구성되는 레지스터의 수가 달라지며, 파이프래치 회로(100)를 구성하는 레지스터의 갯수는 메모리 장치의 카스 레이턴시(CAS Latency)등에 의해 결정된다. 또한 제어하는 방법에 따라 레

지스터가 직렬로 연결되어 구성되는 직렬 파이프래치 회로와, 레지스터가 병렬로 연결되어 구성되는 병렬 파이프래치 회로등이 있다.

<23> 도2a는 종래기술에 의해 레지스터를 병렬로 구성한 병렬 파이프래치 회로를 나타내는 블럭구성도이다.

<24> 도2a를 참조하여 살펴보면, 병렬 파이프래치 회로(100a)는 짹수 데이터를 입력받기 위해 병렬로 배치된 다수의 레지스터(20_1, 20_2, ..., 20_n)와, 홀수 데이터를 입력받기 위해 병렬로 배치된 다수의 레지스터(20'_1, 20'_2, ..., 20'_n)와, 레지스터(20_1, 20_2, ..., 20_n, 20'_1, 20'_2, ..., 20'_n)의 앞단에 각각 구비되어, n개의 짹수입력 제어신호(1~n)에 제어되어 입력되는 짹수 데이터를 레지스터(20_1, 20_2, ..., 20_n)에 각각 저장하도록 하는 패스회로(10_1, 10_2, ..., 10_n)와, n개의 홀수입력 제어신호(1~n)에 제어되어, 입력되는 홀수 데이터를 레지스터(20'_1, 20'_2, ..., 20'_n)에 각각 저장하도록 하는 패스회로(10'_1, 10'_2, ..., 10'_n)와, 각 레지스터(20_1, 20_2, ..., 20_n, 20'_1, 20'_2, ..., 20'_n)에서 짹수데이터와 홀수데이터를 각각 선택적으로 출력하기 위한 n개의 멀티플렉서(30_1 ~ 30_n)와, 멀티플렉서(30_1 ~ 30_n)의 출력단에 구비되어 n개의 짹수출력 제어신호(1~n)와 n개의 홀수출력 제어신호(1~n)에 의해 제어되어 멀티플렉서(30_1 ~ 30_n)에서 출력되는 데이터를 상승에지용 데이터 또는 하강에지용 데이터로 출력하기 위한 패스회로(40_1, 40_2, ..., 40_n, 40'_1, 40'_2, ..., 40'_n)를 구비한다.

<25> 도2b는 도2a에 도시된 파이프래치 회로(100a)를 제어하기 위한 파이프래치 회로 제어부(200a)의 블럭구성도이다.

<26> 도2b를 참조하여 살펴보면, 파이프래치 회로 제어부(200a)는 클럭신호와 데이터 출력타이밍 제어신호를 입력받아 2n개의 입력제어신호와, 2n개의 출력제어신호 및 n개의

멀티플렉서 선택신호를 출력하게 된다. 여기서 $2n$ 개는 n 개의 짹수용 제어신호와 n 개의 홀수용 제어신호를 합한 수이다.

<27> 이하에서는 도2a 및 도2b를 참조하여 병렬 파이프래치 회로의 동작에 대해서 설명 한다.

<28> 먼저 리드할 어드레스에 대응하는 데이터가 셀영역에서 파이프래치 회로(100a)로 입력되면, 파이프래치 회로 제어부(200a)에서 출력되는 n 개의 짹수입력제어신호(1~n) 및 n 개의 홀수입력제어신호(1~n)에 의해 $2n$ 개의 패스회로($10_1, 10_2, \dots, 10_n$, $10'_1, 10'_2, \dots, 10'_n$)가 순차적으로 턴온되고, 턴온되는 패스회로에 따라서 짹수 데이터 및 홀수 데이터가 순차적으로 레지스터($20_1, 20_2, \dots, 20_n$, $20'_1, 20'_2, \dots, 20'_n$)에 저장된다.

<29> 이어서 파이프래치 회로 제어부(200a)에서 출력되는 n 개의 멀티플렉서 선택신호(1~n)에 의해 n 개의 멀티플렉서($30_1, 30_2, \dots, 30_n$)에서는 레지스터($20_1, 20_2, \dots, 20_n$, $20'_1, 20'_2, \dots, 20'_n$)에서 출력되는 데이터를 상승에지용 데이터로 출력하거나 또는 하강에지용 데이터로 각각 선택하여 출력한다.

<30> 이어서 파이프래치 회로 제어부(200a)에서 출력되는 n 개의 홀수출력제어신호(1~n)와 n 개의 짹수출력제어신호(1~n)에 의해 패스회로($40_1, 40_2, \dots, 40_n$, $40'_1, 40'_2, \dots, 40'_n$)가 선택적으로 턴온되어, n 개의 멀티플렉서(1~n)에서 출력되는 데이터를 출력버퍼(도1의 700)로 출력하게 된다.

<31> 전술한 병렬 파이프래치 회로(100a)는 입력되는 데이터를 한번만 래치하고 있다가, 출력제어신호에 의해 출력하도록 구성되어 있기 때문에 고속으로 데이터를 출력할 수 있

는 장점을 가지고 있다. 그러나, 병렬 파이프래치 회로(200a)를 사용할 때에는 파이프래치 회로 제어부(200a)에서 입력제어신호와 출력제어신호를 각각 따로 생성해서 출력해야 하기 때문에 파이프래치 회로 제어부(200a)의 구조가 복잡해지는 단점이 있다.

<32> 예컨대 16개의 레지스터를 이용해서 파이프래치 회로를 구성한다고 가정하면, 16개의 입력제어신호(짝수입력제어신호:8, 홀수입력제어신호:8)와 16개의 출력제어신호(짝수출력제어신호:8, 홀수출력제어신호:8)를 서로 다른 타이밍으로 생성해야 한다. 또한, 이 경우의 병렬 파이프래치 회로는 8개의 멀티플렉서가 필요한데, 멀티플렉서는 그 특성상 큰 면적을 차지하기 때문에, 멀티플렉서를 다수 구비해야 되는 병렬파이프래치 회로는 집적회로의 면적이 커지는 단점을 가지고 있다.

<33> 상기의 문제를 해결하기 위해 최소한의 면적과, 간단한 제어구조를 사용하기 위해 서 레지스터를 직렬로 연결하여 구성하는 직렬 파이프래치 회로를 사용하기도 한다.

<34> 도3은 레지스터를 직렬로 구성한 직렬 파이프래치 회로(100b) 및 파이프래치 회로 제어부(200b)를 도시한 블럭구성도이다.

<35> 도3을 참조하여 살펴보면, 직렬 파이프래치 회로(100b)는 짝수데이터를 입력받아 순차적으로 전달하기 위해 직렬로 연결된 다수의 레지스터(50_1, 50_2, ..., 50_n)와, 레지스터(50_1, 50_2, ..., 50_n)의 사이에 각각 구비되어 다음단에 연결된 레지스터에 데이터를 전달시키기 위한 다수의 패스회로(60_1, ..., 60_n-1)와, 홀수데이터를 입력받아 순차적으로 전달하기 위해 직렬로 연결된 다수의 레지스터(50'_1, 50'_2, ..., 50'_n)와, 레지스터(50'_1, 50'_2, ..., 50'_n)의 사이에 각각 구비되어 다음단에 연결된 레지스터에 데이터를 전달시키기 위한 다수의 패스회로(60'_1, ..., 60'_n-1)와, n번째 레지스터

(50_n, 50'_n)에 저장된 데이터를 상승에지용 데이터와 하강에지용 데이터로 구분하여 출력하기 위한 멀티플렉서(60a)를 구비한다.

<36> 또한 파이프래치 회로 제어부(200b)는 클럭신호와 데이터 출력타이밍 제어신호를 입력받아 2(n-1)개의 입, 출력제어신호와, 출력제어신호 및 멀티플렉서 선택신호를 출력하게 된다.

<37> 이하 도3을 참조하여 직렬 파이프래치 회로(100b)의 동작을 설명한다.

<38> 먼저 어드레스가 입력되면, 입력된 어드레스에 대응하는 짹수데이터와 홀수 데이터가 셀영역에서 파이프래치 회로(100b)로 순차적으로 출력되는데, 짹수데이터용 레지스터(50_1, 50_2, ..., 50_n)와 홀수 데이터용 레지스터(50'_1, 50'_2, ..., 50'_n)는 이를 순차적으로 저장하게 된다. 이 때 파이프래치 회로제어부(200b)는 짹수데이터와 홀수 데이터가 순차적으로 각 레지스터(50_1, 50_2, ..., 50_n, 50'_1, 50'_2, ..., 50'_n)에 저장되도록 순차적으로 패스회로(40 ~ 43)를 턴온시키는 n-1개의 짹수입출력제어신호(1~n-1)와 n-1개의 홀수입출력제어신호(1~n-1)를 출력한다.

<39> 이어서, 파이프래치 회로 제어부(200b)에서 멀티플렉서(60a)로 출력되는 선택신호에 따라 마지막단 레지스터(50_n, 50'_n)에 저장된 짹수데이터와 홀수데이터가 상승에지용 데이터와 하강에지용 데이터로 선택되고, 출력제어신호에 의해 출력버퍼(도1의 700)로 각각 출력하게 된다.

<40> 직렬 파이프래치 회로(100b)에서는 레지스터에 입력되는 데이터와 출력되는 데이터의 제어가 입출력제어신호에 의해 동시에 이루어지기 때문에 파이프래치 제어부를 병렬 파이프래치 회로보다 간단하게 할수 있는 장점을 가지고 있다.

<41> 예컨대 16개의 래치스터를 가지고 직렬 파이프래치 회로(100b)를 구성하게 되면, 14개의 입출력제어신호만을 생성하면 된다. 따라서 생성할 입출력제어신호의 수가 병렬 파이프래치 회로(100a)에서는 총 40개의 제어신호(입력제어신호 16개, 출력제어신호 16개, 멀티플렉서 제어신호 8개)가 필요한데 반해서 직렬 파이프래치 회로에서는 16개의 제어신호(입출력제어신호 14개, 선택신호 1개, 출력제어신호 1개)만 생성하면 되기 때문에, 직렬 파이프래치 회로(100b)가 병렬 파이프래치 회로(100a)보다 간단하게 제어할 수 있는 장점을 가지고 있다.

<42> 또한 직렬 파이프래치 회로(100b)는 멀티플렉서를 최종출력 레지스터쪽에 하나만 구비하면 되므로 병렬 파이프래치 회로(100a)보다 회로면적을 크게 줄일 수 있는 장점을 가지고 있다. 멀티플렉서는 레지스터보다 큰 면적이 요구되기 때문에, 멀티플렉서의 수가 줄어들게 되면 회로면적이 크게 줄어들게 된다.

<43> 그러나, 직렬 파이프래치 회로(100b)는 데이터의 입력부터 출력까지 직렬로 연결되어 있는 레지스터를 순차적으로 제어를 해주는 구성이므로, 고속으로 데이터를 출력시키는 데 많은 제한을 받는다. 즉, 하나의 데이터가 레지스터에 입력되고 나서, 다음에 연결된 레지스터로 이동되어야만 다음의 데이터를 입력받을 수 있는 것이다.

<44> 결론적으로, 직렬 파이프래치 회로(100b)는 병렬 파이프래치 회로(100a)에 비해 집적회로 면적이나 제어신호를 발생시키는 데 있어서 유리하지만 고속으로 동작하는데 있어 큰 제약이 있다. 따라서 점점 메모리 장치의 고속 동작이 요구되고 있는 현재 추세에서, 제어방식이 간단하면서도 고속으로 동작가능한 파이프래치 회로가 요구된다.

【발명이 이루고자 하는 기술적 과제】

<45> 본 발명은 상기의 문제점을 해결하기 위해 제안된 것으로, 제어가 간단하고 회로면적은 최소화하면서도 고속동작에 유리한 파이프래치 회로를 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<46> 상기의 목적을 달성하기 위해 본 발명은 각각 순차적으로 입력되는 다수개의 제1 데이터와 제2 데이터를 저장하고, 이를 상승에지용 출력데이터 또는 하강에지용 출력데이터로 출력하기 위한 파이프래치 회로에서, 상기 제1 데이터를 입력받기 위한 제1 입력레지스터; 각각 직렬연결된 다수의 레지스터를 구비하여, 상기 제1 입력레지스터의 출력을 선택적으로 저장하고, 선택적으로 출력하기 위한 다수의 제1 직렬 파이프래치; 상기 다수의 제1 직렬 파이프래치에서 출력되는 데이터를 저장하기 위한 제1 연결레지스터; 상기 제2 데이터를 입력받기 위한 제2 입력레지스터; 각각 직렬연결된 다수의 레지스터를 구비하여, 상기 제2 입력레지스터의 출력을 선택적으로 저장하고, 선택적으로 출력하기 위한 다수의 제2 직렬 파이프래치; 상기 다수의 제2 직렬 파이프래치에서 출력되는 데이터를 저장하기 위한 제2 연결레지스터; 상기 제1 연결레지스터와 상기 제2 연결레지스터에 저장된 데이터를 상기 상승에지용 출력데이터 또는 상기 하강에지용 출력데이터로 선택하여 출력하기 위한 멀티플렉서; 및 상기 다수의 제1 및 제2 직렬 파이프래치와, 상기 멀티플렉서를 제어하기 위한 파이프래치 회로 제어부를 구비하는 파이프래치 회로를 제공한다.

<47> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<48> 도4는 본 발명의 일실시예에 따른 파이프래치 회로의 블럭구성도이다.

<49> 도4를 참조하여 살펴보면, 본 실시예에 따른 파이프래치 회로(100c)는 짹수 데이터를 입력받기 위한 제1 입력레지스터(70a)와, 각각 직렬연결된 다수의 레지스터를 구비하여 제1 입력레지스터(70a)의 출력을 선택적으로 저장하고, 선택적으로 출력하기 위한 다수의 제1 직렬 파이프래치(70c_1~70c_k)와, 다수의 제1 직렬 파이프래치(70c_1~70c_k)에서 출력되는 데이터를 저장하기 위한 제1 연결레지스터(70b)와, 홀수데이터를 입력받기 위한 제2 입력레지스터(70'a)와, 각각 직렬연결된 다수의 레지스터를 구비하여 상기 제2 입력레지스터(70'a)의 출력을 선택적으로 저장하고, 선택적으로 출력하기 위한 다수의 제2 직렬 파이프래치(70'c_1~70'c_k)와, 다수의 제2 직렬 파이프래치(70'c_1~70'c_k)에서 출력되는 데이터를 저장하기 위한 제2 연결레지스터(70'b)와, 제1 연결레지스터(70b)와 제2 연결레지스터(70'b)에 저장된 데이터를 상승에지용 출력데이터 또는 하강에지용 출력데이터로 선택하여 출력하기 위한 멀티플렉서(80)와, 다수의 제1 및 제2 직렬 파이프래치(70c_1~70c_k, 70'c_1~70'c_k)와, 출력 멀티플렉서(80)를 제어하기 위한 파이프래치 회로 제어부(200c)를 구비한다.

<50> 또한 파이프래치 회로 제어부(200c)는 클럭신호와 데이터 출력타이밍 제어신호를 입력받아 n-2개의 홀수입출력제어신호와, n-2개의 짹수입출력제어신호와, 출력제어신호 및 멀티플렉서 선택신호를 출력하게 된다.

<51> 도5는 도4에 도시된 직렬 파이프래치($70c_1 \sim 70c_k$, $70'c_1 \sim 70'c_k$)중 하나의 일 예를 나타내는 블럭구성도이다.

<52> 도5를 참조하여 살펴보면, 직렬 파이프래치(예컨대 $70c_1$)는 제1 입력레지스터($70a$)에서 출력되는 짹수 데이터를 전달하기 위한 제1 패스회로($70c_1_1$)와, 제1 패스회로($70c_1_1$)에 의해 전달된 데이터를 순차적으로 전달하기 위해 직렬연결된 다수의 레지스터($70c_1_1', 70c_1_2', \dots, 70c_1_m'$)와, 직렬연결된 다수의 레지스터($70c_1_1', 70c_1_2', \dots, 70c_1_m'$)의 사이에 각각 구비되며, 앞단의 레지스터에 저장된 데이터를 다음단의 레지스터로 전달하기 위한 다수의 제2 패스회로($70c_1_2, 70c_1_3, \dots, 70c_1_m$)와, 직렬연결된 다수의 레지스터중 끝단의 레지스터($70c_1_m'$)에 저장된 데이터를 제1 연결레지스터($70b$)로 전달하기 위한 제3 패스회로($70c_1_m+1$)를 구비한다. 도4에 도시된 직렬파이프 래치($70c_1 \sim 70c_k$, $70'c_1 \sim 70'c_k$)는 모두 도5에 도시된 것과 같은 구성을 가지고 있다. 여기서 ' k '는 파이프래치를 구성하는 직렬파이프의 수이며, m 은 한 직렬파이프를 구성하는 레지스터의 수이다. 따라서 한 직렬파이프를 구성하는 레지스터의 수($m=(n-2)/k$)는 파이프래치 회로($100c$)에서 짹수 또는 홀수 데이터 패스에 각각 사용되는 레지스터의 수(n)에서 2개(입력레지스터, 연결레지스터)를 뺀 수($n-2$)에서 직렬파이프의 수(k)를 나눈 값이다.

<53> 도6은 도4에 도시된 파이프래치 회로 제어부($200c$)의 블럭구성도이다.

<54> 도6을 참조하여 살펴보면, 파이프래치 회로 제어부($200c$)는 데이터 출력 타이밍 제어신호에 인에이블되어 입력받은 클럭신호를 전달하고, 상기 클럭신호의 한 주기마다 차례로 인에이블되는 다수의 초기화 신호($a_1 \sim a_k, b_1 \sim b_k$)를 출력하는 제어신호 발생부(210)와, 상기 다수의 초기화 신호($a_1 \sim a_k, b_1 \sim b_k$)중 하나에 의해 인에이블되어서 상

기 클럭신호를 입력받아 다수의 직렬 파이프래치($70c_1 \sim 70c_k$, $70'c_1 \sim 70'c_k$)에 각각 구비되는 제1 내지 제3 패스회로를 순차적으로 턴온시키기 위한 다수의 직렬 파이프래치 제어부($220_1 \sim 220_k$, $220'_1 \sim 220'_k$)를 구비한다.

<55> 도7은 도6에 도시된 다수의 직렬 파이프래치 제어부($220_1 \sim 220_k$, $220'_1 \sim 220'_k$) 중 하나의 일 실시예를 나타내는 블럭구성도이다.

<56> 도7을 참조하여 살펴보면, 직렬 파이프래치 제어부(예컨대 220_1)는 선택된 초기화 신호(a_1)에 인에이블되어 직렬 파이프래치($70c_1$)에 구비되는 제1 내지 제3 패스회로 ($70c_1_1, 70c_1_2, \dots, 70c_1_{m+1}$)의 수($m+1$)만큼 상기 클럭신호를 카운팅하여 $m+1$ 개의 멀티플렉서 제어신호를 출력하기 위한 $m+1$ 비트 카운터(220_1a)와, 카운팅된 클럭신호를 이용하여 직렬 파이프래치($70c_1$)에 구비된 제1 내지 제3 패스회로($70c_1_1, 70c_1_2, \dots, 70c_1_{m+1}$)를 순차적으로 턴온시키는 $m+1$ 개 만큼의 입출력제어신호를 출력하기 위한 멀티플렉서(220_1b)를 구비한다.

<57> 도8은 도6에 도시된 다수의 직렬 파이프래치 제어부($220_1 \sim 220_k$, $220'_1 \sim 220'_k$) 중 하나의 제2 실시예를 나타내는 블럭구성도이다.

<58> 도8에 도시된 직렬 파이프래치 제어부($220_1'$)는 도7에 도시된 직렬 파이프래치 제어부(220_1)에서 멀티플렉서(220_1b)로 입력되는 클럭신호가 지연회로(220_1c)를 거쳐서 입력되도록 구성되어 있다. 이는 클럭신호를 입력받는 $m+1$ 비트 카운터(220_1a)의 동작 타이밍에 여유를 주기 위한 것이다. 즉, $m+1$ 비트 카운터(220_1a)에 출력되는 $m+1$ 개의 멀티플렉서 제어신호가 먼저 멀티플렉서(220_1b)에 입력되고, 클럭신호는 지연회로 (220_1c)를 통과하여 멀티플렉서(220_1b)로 입력되도록 하는 것이다.

<59> 도9는 종래기술과 본 발명에 따른 파이프래치 회로의 회로를 비교한 도표이다. 도9를 참조하여 종래에 사용되던 직렬 파이프래치 회로 및 병렬 파이프래치 회로와 본 발명에 의한 파이프래치 회로에 사용되는 단위소자의 수와 제어신호의 수에 대해 비교해 본다. 도9에서 팔호안의 숫자는 짹수데이터용 레지스터로 8개, 홀수데이터용 레지스터로 8개, 총 16개의 레지스터를 이용해서 파이프래치 회로를 구성할 때를 나타내는 것으로서, 편의상 팔호안의 숫자를 중심으로 설명한다.

<60> 먼저, 병렬 파이프래치 회로의 경우에는 상승에지용 출력데이터 또는 하강에지용 출력데이터로 출력하기 위해서, 짹수데이터와 홀수 데이터 패스로 각각 8개의 레지스터가 배치된다. 또한, 8개 짹수 데이터와 8개의 홀수 데이터를 각각 선택적으로 출력하기 위해 멀티플렉서는 8개가 필요하다.

<61> 또한 패스회로는 입력되는 데이터를 저장하기 위해 16개, 저장된 데이터를 출력하기 위해 16개, 총 32가 필요하다. 제어신호의 수는 패스회로의 수만큼 필요하기 때문에 패스회로의 제어신호는 32개가 필요하고, 여기에 멀티플렉서 선택신호가 8개가 필요하다. 따라서 이 경우 병렬 파이프래치 회로의 제어부는 총 40개의 서로 다른 타이밍을 가지는 입출력제어신호를 생성해서 병렬 파이프래치 회로로 출력해야 한다.

<62> 한편, 직렬 파이프래치 회로는 짹수용 데이터를 순차적으로 각각 입력받기 위해 8개의 레지스터가 직렬연결되어 배치되고, 홀수용 데이터를 순차적으로 각각 입력받기 위해 8개의 레지스터가 직렬연결되어 배치된다. 이 경우에는 직렬연결된 8개의 레지스터중에서 마지막단의 레지스터에 저장된 데이터가 상승에지용 데이터 또는 하강에지용 데이터로 출력되기 때문에 멀티플렉서는 하나만 구비된다.

<63> 또한 패스회로는 직렬연결된 레지스터의 사이에만 구비되므로 짹수용 데이터 패스를 위한 8개의 레지스터와 홀수용 데이터패스를 위한 8개의 레지스터에 각각 7개의 패스회로가 필요하기 때문에 총 14개의 패스회로가 필요하다. 따라서 직렬 파이프래치 회로에서 필요한 제어신호는 패스회로 제어신호 14개와 멀티플렉서 선택신호 및 출력제어신호가 필요하여 총 16개가 된다.

<64> 한편, 본 발명에 의한 파이프래치 회로는 16개의 레지스터중에서 하나의 직렬 파이프래치에 몇개의 레지스터가 구비되는지에 따라 제어신호의 갯수가 정해진다. 여기서는 2개의 레지스터가 하나의 직렬 파이프래치에 구비되는 것으로 가정한다.

<65> 본 발명의 파이프래치 회로의 경우에는 총 16개의 레지스터중에서 입력레지스터로 2개, 연결레지스터로 2개가 사용되며, 나머지 12개의 레지스터는 6개의 직렬 파이프래치에 각각 2개씩 구비된다. 이 경우에 멀티플렉서는 2개의 연결레지스터와 연결되는 1개만이 필요하며, 패스회로는 하나의 직렬 파이프래치에 3개씩 총 18개가 필요하다. 따라서 파이프래치 회로 제어부에서는 18개의 패스회로 제어신호와 멀티플렉서 선택신호 및 출력제어신호를 포함하여 총 20개의 제어신호가 출력되어야 한다.

<66> 한편, 패스회로는 가장 간단하게 전송게이트로 구성할 수 있으며, 레지스터는 2개의 인버터를 이용한 래치를 이용할 수 있다. 멀티플렉서는 입력되는 2개의 신호를 상승에지용 데이터 출력 또는 하강에지용 데이터 출력으로 선택해서 출력해야하기 때문에 기본적으로 레지스터 하나보다는 큰 면적을 차지하게 된다.

<67> 따라서 본 발명의 파이프래치 회로는 직렬 파이프래치 회로와 같이 하나의 멀티플렉서를 사용하기 때문에 병렬 파이프래치 회로에 비해 파이프래치 회로의 회로 집적면적을 크게 줄일 수 있다. 또한, 필요한 제어신호의 수도 전술한 바와 같이 병렬 파이프래

치 회로에 비해 크게 줄어들므로(병렬파이프래치 회로 제어신호:40, 본발명의 파이프래치 회로 제어신호:20), 파이프래치회로의 제어부를 간단하게 구성할 수 있으며, 제어도 동작도 간단하게 된다.

<68> 본 발명에 의한 파이프래치는 병렬 파이프래치 회로에 비해 상기와 같은 장점을 가지고 있고, 다른 한편으로는 입력레지스터에 입력된 데이터를 다수의 직렬 파이프래치가 선택적으로 입력받는 구조이기 때문에 직렬 파이프래치 회로보다 고속으로 데이터를 전달받아 출력할 수 있다. 직렬 파이프래치 회로는 그 구조상 다음 레지스터로 데이터가 전달되지 않으면, 셀영역으로부터 데이터를 전달받을 수 없기 때문에 고속으로 동작할 수가 없었다.

<69> 그러나, 본 발명에서는 셀영역에서 전달된 데이터가 입력레지스터를 통해 하나의 직렬 파이프 래치로 전달하고 난 뒤, 상기 직렬 파이프 래치에 데이터가 저장되어 있는 상태라도, 입력레지스터에 다수의 직렬파이프가 연결되어 있기 때문에, 다시 셀영역으로부터 데이터를 입력받아 입력레지스터를 통해 다른 직렬 파이프로 전달할 수 있기 때문이다.

<70> 결론적으로 본 발명에 의한 라이프 래치는 병렬 파이프래치 회로에 비해 간단하게 제어가능하면서도, 병렬 파이프래치 회로가 가지는 가장 큰 장점인 고속데이터 입출력이 가능한 구조이다.

<71> 도10 내지 도15는 16개의 레지스터로 이용해서 본 발명의 바람직한 실시예에 따른 파이프래치 회로를 구성한 블럭구성도 및 회로도와 그 동작에 관한 도면이다.

<72> 도10을 참조하여 살펴보면, 본 실시예에 따른 파이프래치 회로(100d)는 짹수 데이터를 입력받는 제1 입력레지스터(70a_1)와, 제1 입력레지스터(70a_1)에 저장된 데이터를 선택적으로 입력받아 선택적으로 출력하며 각각 2개의 레지스터를 구비하고 있는 3개의 직렬 파이프래치(70c_1a, 70c_2a, 70c_3a)와, 직렬 파이프래치(70c_1a, 70c_2a, 70c_3a)에서 선택적으로 출력하는 데이터를 저장하기 위한 제1 연결레지스터(70b_1)와, 홀수 데이터를 입력받는 제2 입력레지스터(70'a_1)와, 제2 입력레지스터(70'a_1)에 저장된 데이터를 선택적으로 입력받아 선택적으로 출력하며 각각 2개의 레지스터를 구비하고 있는 3개의 직렬 파이프래치(70'c_1a, 70'c_2a, 70'c_3a)와, 직렬 파이프래치(70'c_1a, 70'c_2a, 70'c_3a)에서 출력되는 데이터를 저장하는 제2 연결레지스터(70b'_1)와, 제1 및 제3 연결레지스터(70b_1, 70'b_1)에서 출력되는 데이터를 상승에지용 출력데이터 또는 하강에지용 출력데이터로 선택해서 출력하기 위한 출력멀티플렉서(80_1)와, 6개의 직렬파이프(70'c_1a_, 70'c_2a, 70'c_3a, 70'c_1a, 70'c_2a, 70'c_3a)와, 출력멀티플렉서(80)를 제어하기 위한 파이프래치 회로 제어부(도12의 200d 참조)를 구비한다.

<73> 도11은 도10에 도시된 6개의 직렬 파이프래치중에서 하나의 내부블럭도를 도시한 것이다.

<74> 도11을 참조하여 살펴보면, 직렬 파이프래치(70c_1a)는 직렬연결된 2개의 레지스터(70c_1a_1, 70c_1a_2)와, 레지스터(70c_1a_1)의 입력단에 구비된 패스회로(70c_1_1)와, 레지스터(70c_1a_1)의 출력단에 구비된 패스회로(70c_1_3)와, 2개의 레지스터(70c_1a_1, 70c_1a_2)의 사이에 구비된 패스회로(70c_1_2)를 구비한다.

<75> 도12는 도10에 도시된 파이프래치 회로의 제어부(200d)를 나타내는 블럭구성도이다.

<76> 도12을 참조하여 살펴보면, 파이프래치 회로의 제어부(200d)는 데이터 출력 타이밍 신호에 인에이블되어 클럭신호 및 초기화 신호(a_1,a_2,a_3)를 직렬파이프 제어부 (220a_1,220a_2,220a_3)로 각각 전달하고, 출력제어신호 및 선택신호를 생성하여 출력멀티플렉서(80_1)로 출력하는 제어신호 발생부(210a)와, 초기화 신호(a_1,a_2,a_3)에 각각 인에이블되어, 동기화된 클럭신호를 이용해서 3개의 짹수 입출력제어신호 (A1~A3,B1~B3,C1~C3)를 각각 출력하는 3개의 직렬 파이프래치 제어부 (220a_1,220a_2,220a_3)와, 3개의 초기화 신호에 각각 인에이블되어, 동기화된 클럭신호를 이용해서 3개의 홀수 입출력제어신호를 각각 출력하는 3개의 직렬 파이프래치 제어부(미도시)를 구비한다. 여기서 홀수 입출력제어신호(D1~D3,E1~E3,F1~F3)를 출력하기 위한 3개의 직렬 파이프래치 제어부의 도시는 생략하였다.

<77> 하나의 직렬 파이프래치 제어부(예컨대 220a_1)는 초기화신호(a_1)에 인에이블되어 동기화된 클럭신호를 카운팅하는 3비트 카운터(220a_1a)와, 카운터(220a_1a)에서 출력되는 3개의 멀티플렉서 제어신호에 의해 동기화된 클럭신호를 선택적으로 출력함으로서 3개의 짹수 입출력제어신호(A1~A3)를 생성하게 되는 멀티플렉서(220a_1b)로 구성된다.

<78> 도13는 도12에 도시된 6개의 직렬 파이프래치 제어부중 하나의 직렬 파이프제어부 (220a_1)를 나타내는 회로도이다.

<79> 도13에 도시된 '220_1a'는 3비트 카운터이로서 초기화신호에 의해 리셋되며 동기화된 클럭신호를 입력받아 카운팅하여 제1 내지 제3 신호(pout<0>~pout<2>)를 출력하게 된다. 초기화신호가 하이레벨로 입력되면 낸드게이트(ND1,ND2)와 노어게이트(NR1)는 인버터로 동작하게 되어 각각에 대응하는 인버터(I1,I2,I3)와 함께 래치로 동작하게 된다.

<80> 초기화신호가 입력되어 3비트 카운트(220_1a)가 인에이블된 상태에서, 3비트 카운트(220_1a)에서는 입력되는 동기화된 클럭신호(Sync)를 카운팅하면서 순차적으로 제1 신호(pout<0>) 내지 제3 신호(pout<2>)를 멀티플렉서(220_1b)로 출력한다.

<81> 멀티플렉서(220_1b)는 순차적으로 입력되는 제1 신호(pout<0>) 내지 제3 신호(pout<2>)에 의해 전송게이트(T1~T3)을 순차적으로 턴온시키고, 이로 인해 동기화된 클럭신호(Sync)가 각각 짹수입출력 제어신호(A1 ~ A3)로 출력한다.

<82> 도14는 도10에 도시된 파이프래치 회로를, 레지스터는 2개의 인버터를 이용하고 패스회로는 전송게이트를 이용하여 구성한 회로도이다. 이해를 돋기 위해 도10에 도시된 도면부호를 그대로 사용하였다.

<83> 도14를 참조하여 살펴보면, 셀영역에서 출력되어 입력레지스터(70a_1)에 래치된 짹수데이터는 순차적으로 입력되는 짹수입출력 제어신호(A1~ A3)에 의해 직렬파이프(70c_1a)로 이동된다. 이어서 셀영역에서 출력되어 입력레지스터(70a_1)에 래치된 다음 짹수데이터는 짹수입출력 제어신호(B1~B3)에 의해 직렬파이프(70c_2a)로 이동된다. 다음에 입력된 짹수데이터는 짹수입출력 제어신호(C1~C3)에 의해 직렬파이프(70c_3a)로 이동된다.

<84> 이어서 연결레지스터(70b_1)에서는 직렬파이프(70c_1a, 70c_2a, 70c_3a)에서 출력되는 데이터를 멀티플렉서(80_1)로 전달하게 된다. 홀수 데이터의 이동경로도 짹수 데이터의 이동경로와 같기 때문에 설명은 생략한다.

<85> 멀티플렉서(80_1)는 선택신호에 의해 연결레지스터(70b_1, 70'b_1)에 래치된 데이터를 상승에지용 데이터 또는 하강에지용 데이터로 선택하고, 출력제어신호에 의해 데이터를 출력하게 된다.

<86> 도15는 도10에 도시된 파이프래치 회로의 동작중 짹수데이터가 입력되어 출력되는 과정을 나타내는 파형도이다. 홀수 데이터에 대한 파이프래치 회로의 동작 파형은 짹수 데이터인 경우와 같기 때문에 생략하였다.

<87> 여기서 짹수 입출력제어신호(A1~A3)은 직렬 파이프래치 제어부(220a_1)에서 출력되는 신호이고, 짹수 입출력제어신호(B1~B3)은 직렬 파이프래치 제어부(220a_2)에서 출력되는 신호이고, 짹수 입출력제어신호(C1~C3)은 직렬 파이프래치 제어부(220a_3)에서 출력되는 신호이다.

<88> 도15를 참조하여 살펴보면, 셀영역으로부터 짹수데이터(A,B,C,...)가 순차적으로 입력되면, 파이프래치 회로 제어부(200d)에서 적절한 타이밍에 출력되는 9개의 짹수 입출력제어신호(A1~A3,B1~B3,C1~C3)에 따라서 직렬 파이프래치(70c_1a, 70c_2a, 70c_3a)에 구비된 6개의 레지스터와 연결레지스터(70b_1) 및 입력레지스터(70a_1)에 각각 저장된다.

<89> 연결레지스터(70b_1)에 저장된 짹수 데이터는 파이프래치 회로 제어부(200d)에서 출력되는 선택신호에 의해서 상승에지용 데이터 또는 하강에지용 데이터로 선택되고, 출력제어신호에 의해 출력버퍼를 통해 외부로 출력하게 된다.

<90> 따라서 제1 입력레지스터(70a_1)에 저장된 제1 짹수데이터(A)가 3개의 직렬 파이프래치중 하나의 직렬 파이프래치(예컨대 70c_1a)에 전달되고 나서, 직렬 파이프래치(70c_1a)에 저장된 제1 짹수데이터(A)가 다음단의 레지스터로 전달되지 않더라도 제1 입

력레지스터(70a_1)에서는 셀영역으로부터 제2 짹수데이터(B)를 연속적으로 입력받아 다른 직렬 파이프래치(예컨대 70c_2a)로 전달할 수가 있기 때문에 고속으로 데이터를 입력받을 수 있다. 즉 고주파로 동작이 가능한 것이다.

<91> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<92> 본 발명에 의해서 회로면적을 줄어들고, 제어가 간편하면서도 고속으로 데이터를 입, 출력할 수 있는 반도체 장치의 파이프래치 회로를 구현할 수 있다.

【특허청구범위】**【청구항 1】**

각각 순차적으로 입력되는 다수개의 제1 데이터와 제2 데이터를 저장하고, 이를 상승에지용 출력데이터 또는 하강에지용 출력데이터로 출력하기 위한 파이프래치 회로에 있어서,

상기 제1 데이터를 입력받기 위한 제1 입력레지스터;

각각 직렬연결된 다수의 레지스터를 구비하며, 상기 제1 입력레지스터의 출력을 선택적으로 저장하고, 선택적으로 출력하기 위한 다수의 제1 직렬 파이프래치;

상기 다수의 제1 직렬 파이프래치에서 출력되는 데이터를 저장하기 위한 제1 연결레지스터;

상기 제2 데이터를 입력받기 위한 제2 입력레지스터;

각각 직렬연결된 다수의 레지스터를 구비하며, 상기 제2 입력레지스터의 출력을 선택적으로 저장하고, 선택적으로 출력하기 위한 다수의 제2 직렬 파이프래치;

상기 다수의 제2 직렬 파이프래치에서 출력되는 데이터를 저장하기 위한 제2 연결레지스터;

상기 제1 연결레지스터와 상기 제2 연결레지스터에 저장된 데이터를 상기 상승에지용 출력데이터 또는 상기 하강에지용 출력데이터로 선택하여 출력하기 위한 멀티플렉서; 및

상기 다수의 제1 및 제2 직렬 파이프래치와, 상기 멀티플렉서를 제어하기 위한 파이프래치 회로 제어부

를 구비하는 파이프래치 회로.

【청구항 2】

제 1 항에 있어서,

상기 제1 직렬 파이프래치는

상기 제1 입력레지스터에서 출력되는 데이터를 전달하기 위한 제1 패스회로;

상기 제1 패스회로에 의해 전달된 데이터를 순차적으로 전달하기 위해 직렬연결된
다수의 레지스터;

상기 직렬연결된 다수의 레지스터의 사이에 각각 구비되며, 앞단의 레지스터에 저
장된 데이터를 다음단의 레지스터로 전달하기 위한 다수의 제2 패스회로; 및
상기 직렬연결된 다수의 레지스터중 끝단에 구비된 레지스터에 저장된 데이터를 상
기 제1 연결레지스터로 전달하기 위한 제3 패스회로를 구비하는 것을 특징으로 하는 파
이프래치 회로.

【청구항 3】

제 2 항에 있어서,

상기 파이프래치 회로 제어부는

데이터 출력인에이블신호에 인에이블되어 입력받은 클럭신호를 전달하고, 상기 클
럭신호의 한 주기마다 차례로 인에이블되는 다수의 초기화 신호를 출력하는 제어신호 발
생부; 및

상기 다수의 초기화 신호중 하나에 의해 인에이블되어 상기 클럭신호를 입력받아
상기 다수의 제1 직렬 파이프래치에 각각 구비되는 제1 내지 제3 패스회로가 순차적으로
턴온되도록하기 위한 다수의 직렬 파이프래치 제어부.

【청구항 4】

제 3 항에 있어서,
상기 직렬 파이프래치 제어부는,
선택된 초기화신호에 인에이블되어 상기 직렬 파이프래치에 구비되는 제1 내지 제3
패스회로의 수만큼 상기 클럭신호를 카운팅하기 위한 카운팅수단; 및
상기 카운팅된 클럭신호에 따라 상기 직렬 파이프래치에 구비된 제1 내지 제3 패스
회로를 순차적으로 턴온시키는 다수의 입출력제어신호를 출력하기 위한 멀티플렉서를 구
비하는 것을 특징으로 하는 파이프래치 회로.

【청구항 5】

제 4 항에 있어서,
상기 제1 및 제2 입력레지스터는
2개의 인버터를 이용한 반전 래치를 구비하는 것을 특징으로 하는 파이프래치
회로.

【청구항 6】

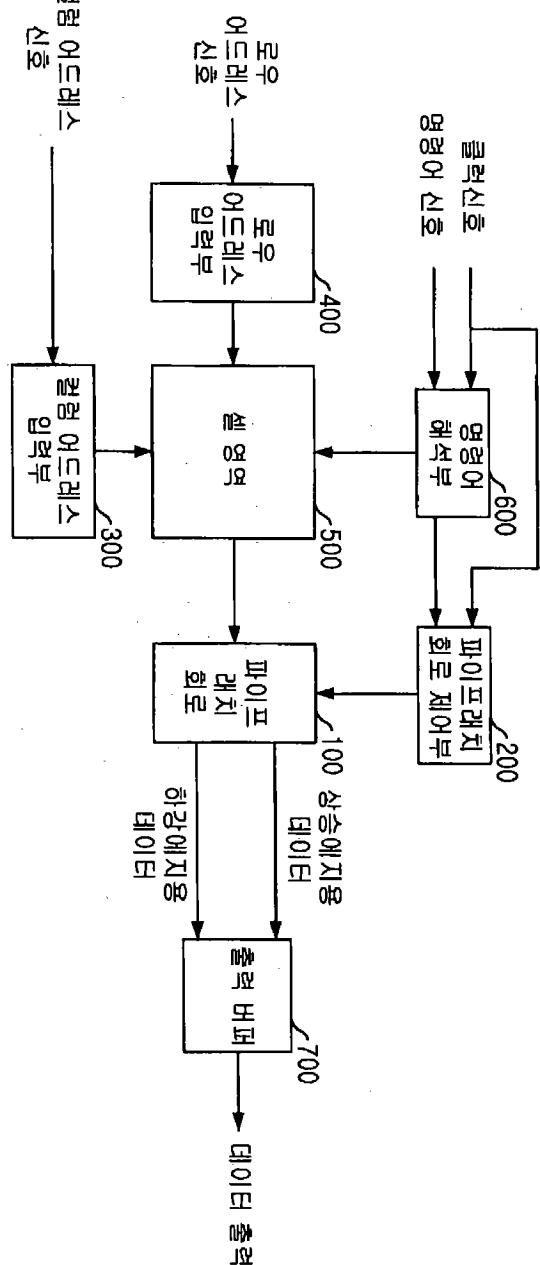
제 4 항에 있어서,

상기 제1 및 제2 연결레지스터는

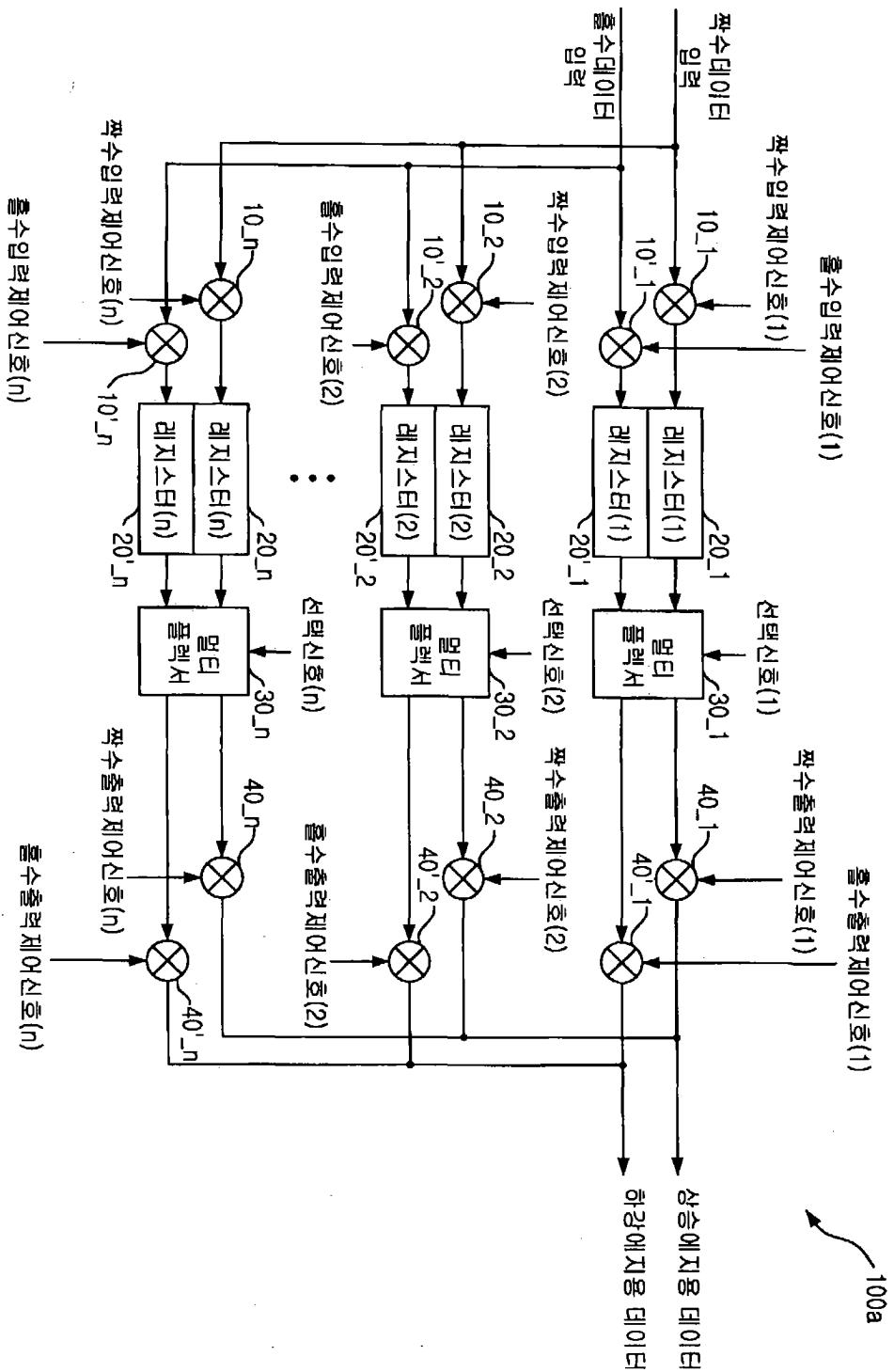
2개의 인버터를 이용한 반전 래치를 구비하는 것을 특징으로 하는 화이프래치 회로

【도면】

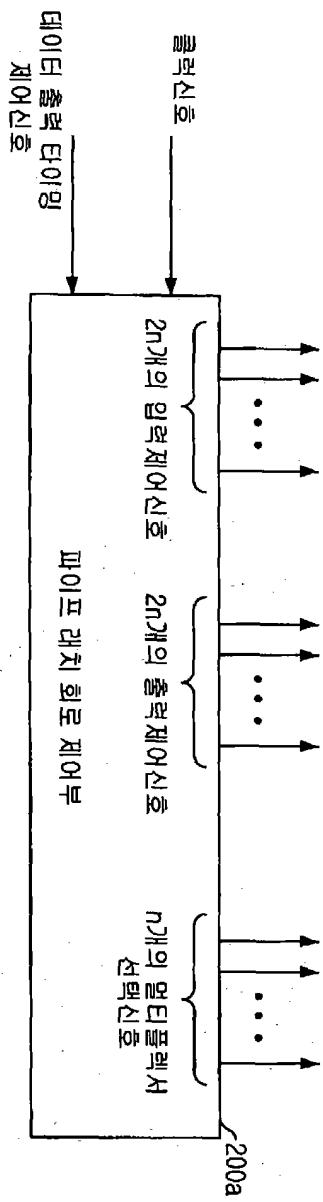
【도면 1】



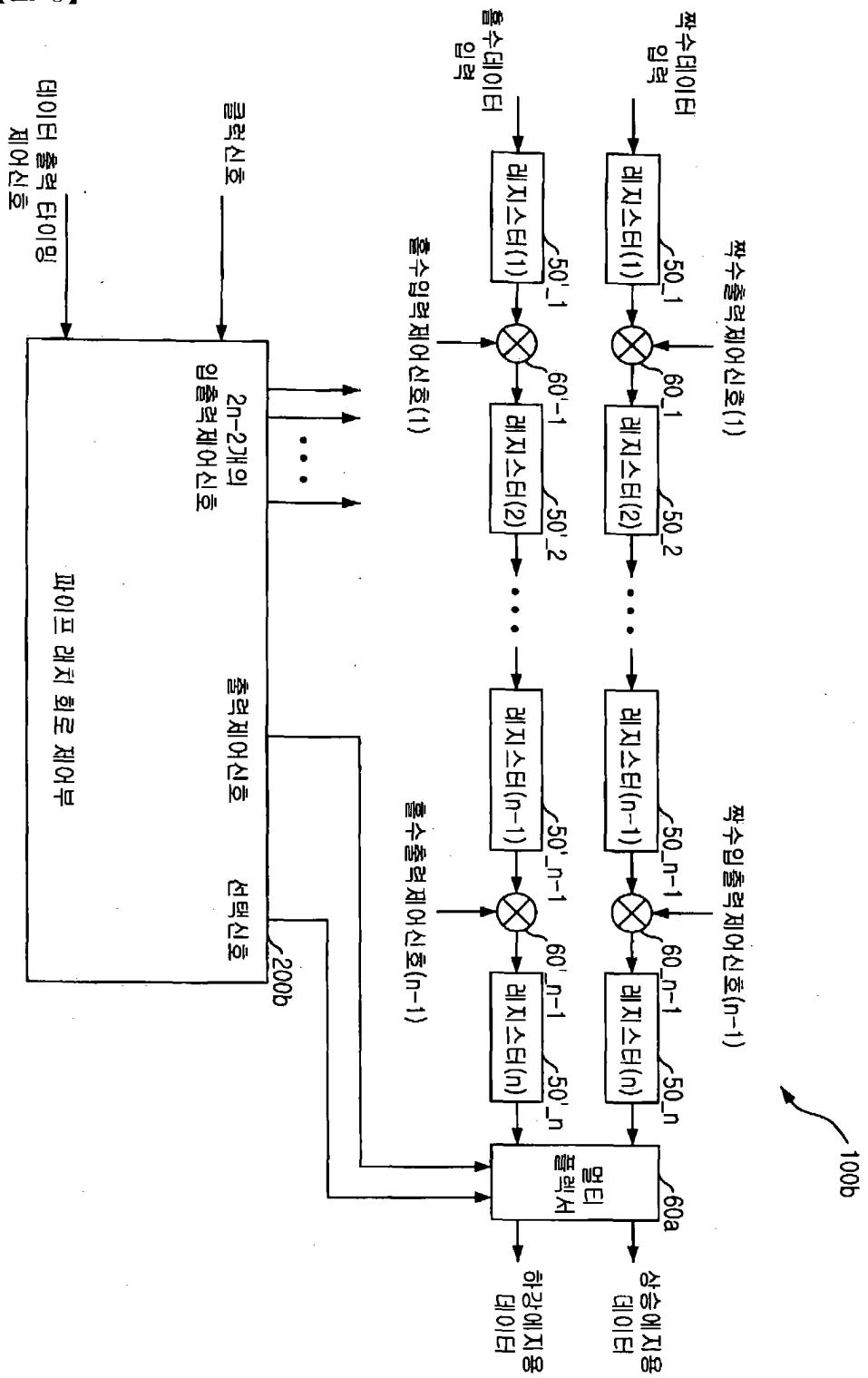
【도 2a】



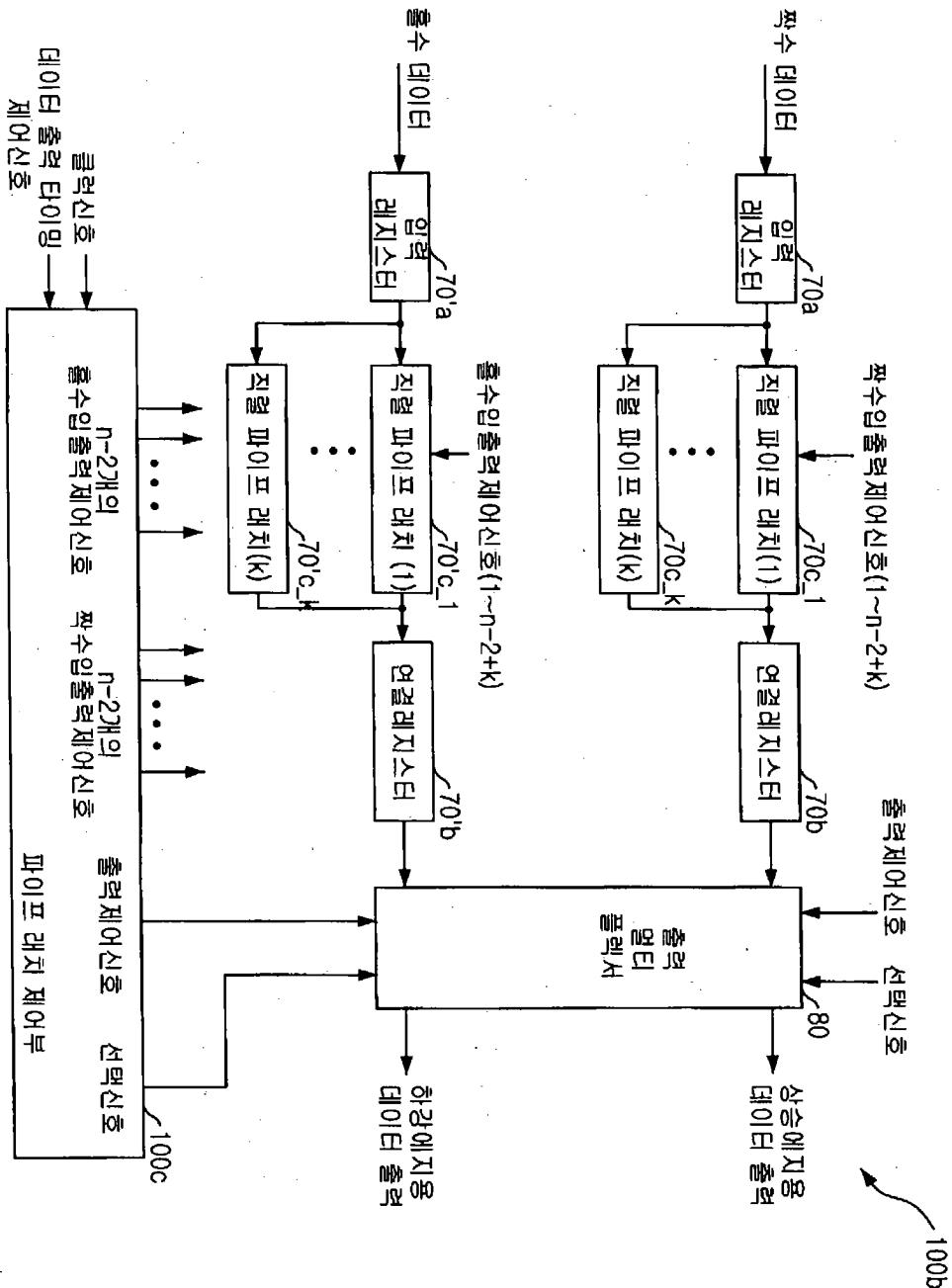
【도 2b】



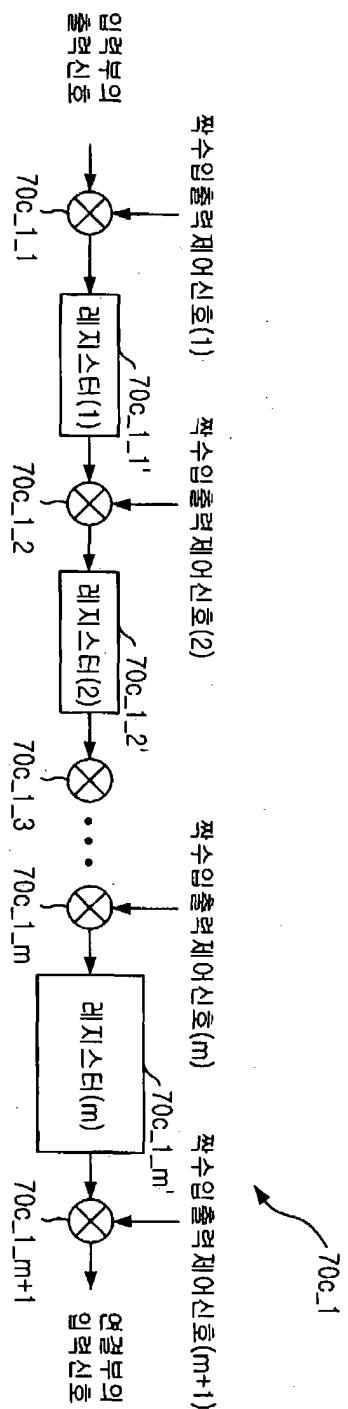
【도 3】



【도 4】



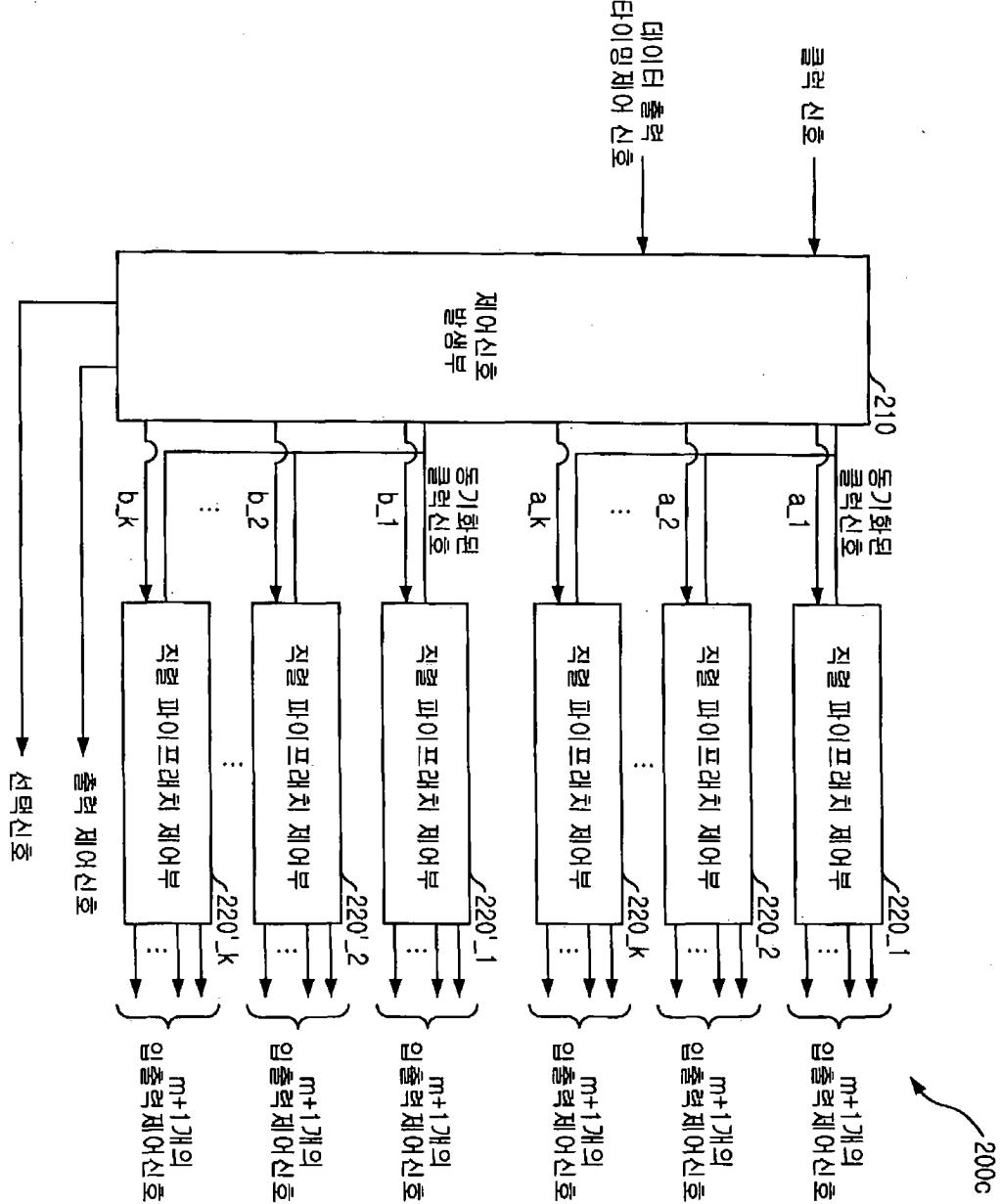
【도 5】



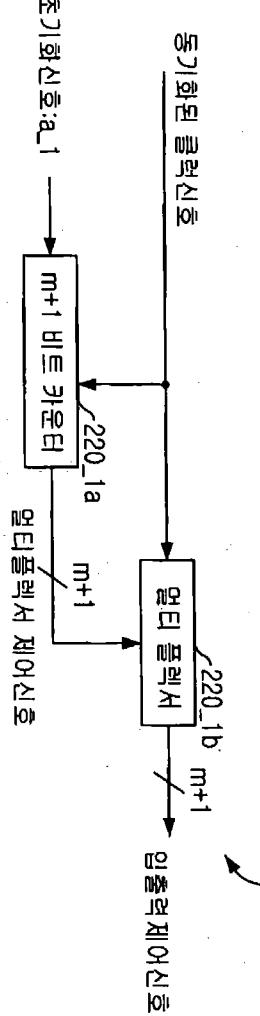
$$m = (n-2)/k$$

(n: 레지스터 수
k: 직렬 파이프 레지스터 수)

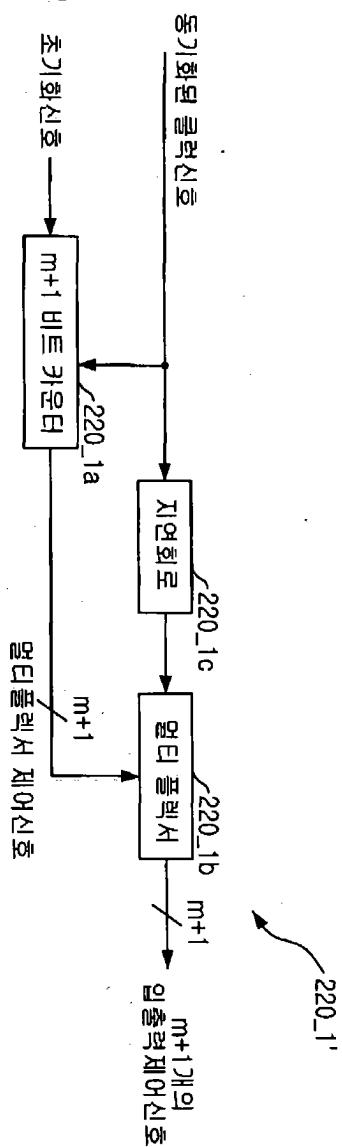
【도 6】



【도 7】



【도 8】

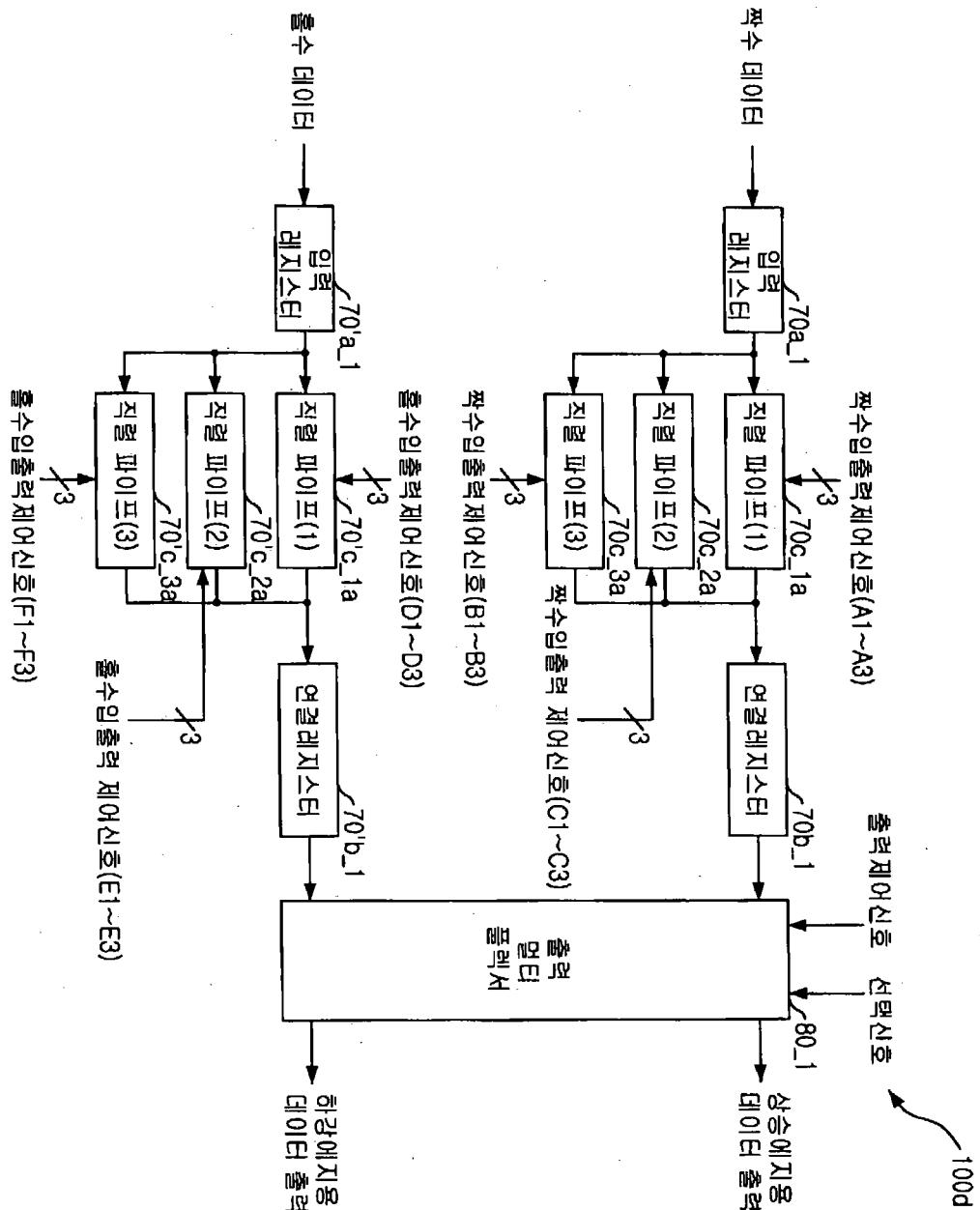


【도 9】

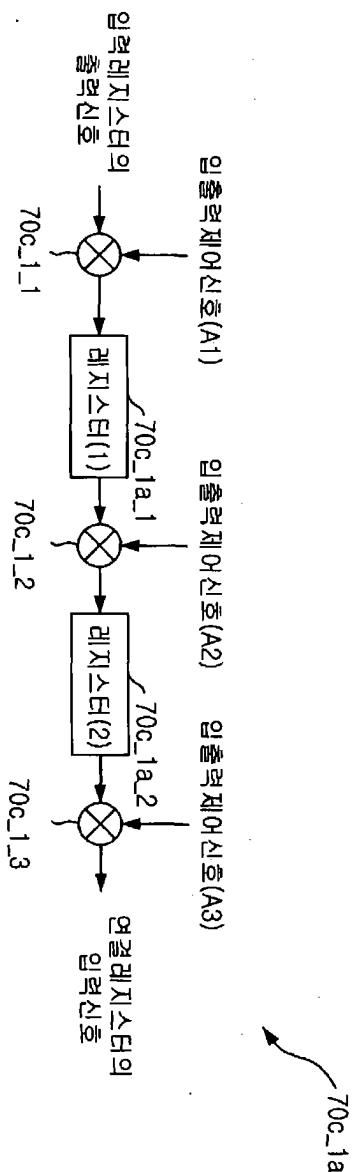
	종래의 파이프라인		본 발명의 파이프 구조
	병렬	직렬	
레지스터	2n(16)	2n(16)	2n(16)
멀티 플렉서	n(8)	1(1)	1(1)
패스회로	4n(32)	2n-2(14)	(2n-4)+2k(18)
계	7n(56)	4n-1(31)	(4n-3)+2k(35)
제어신호개수	4n(40)	2n-2(16)	(2n-4)+2k(18)

- ()은 짹출수 데이터패스에
레지스터가 각각 8개인 경우
- k는 짹출수 데이터패스 각각에
구비되는 직렬파이프라인수

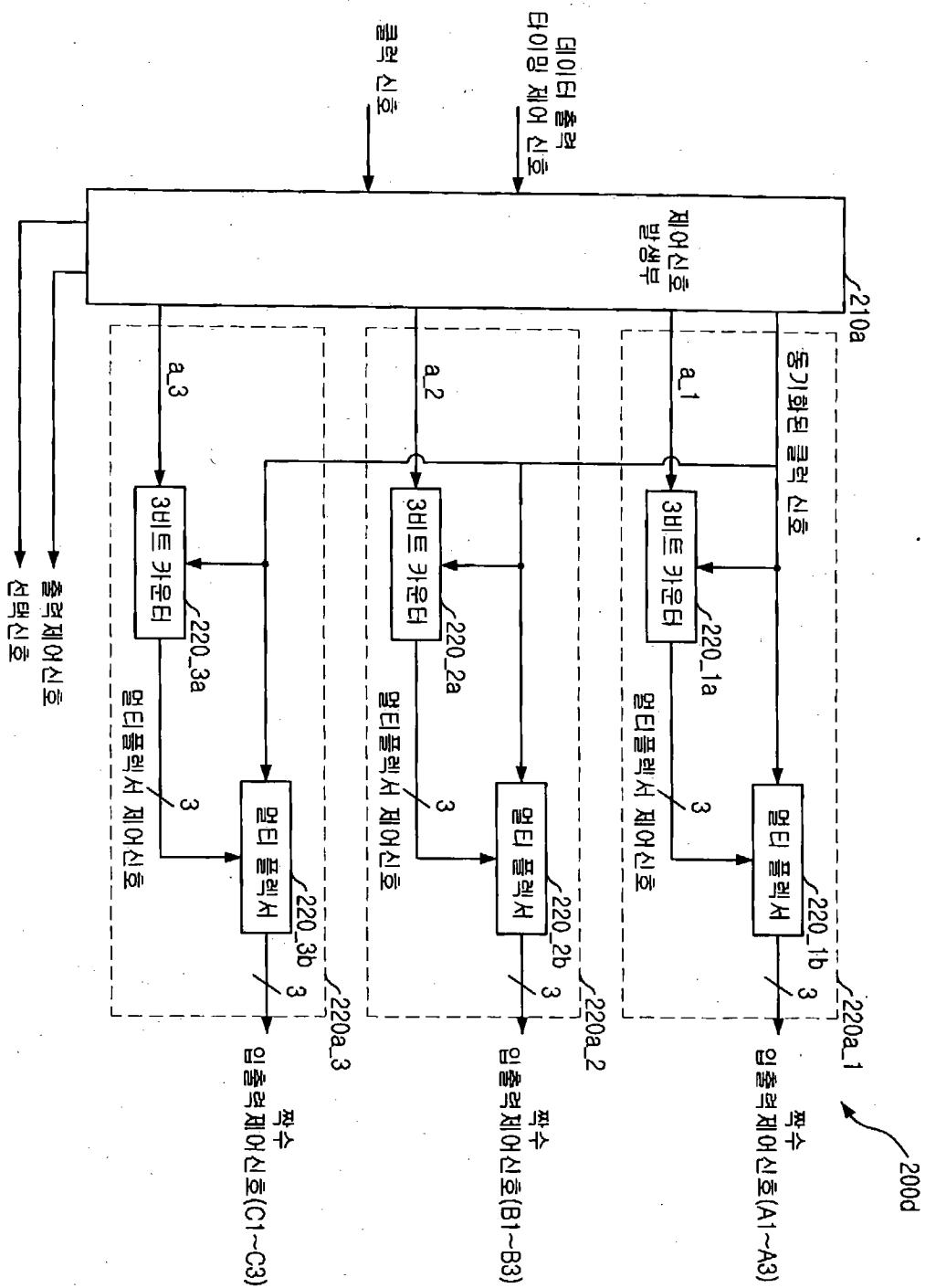
【도 10】



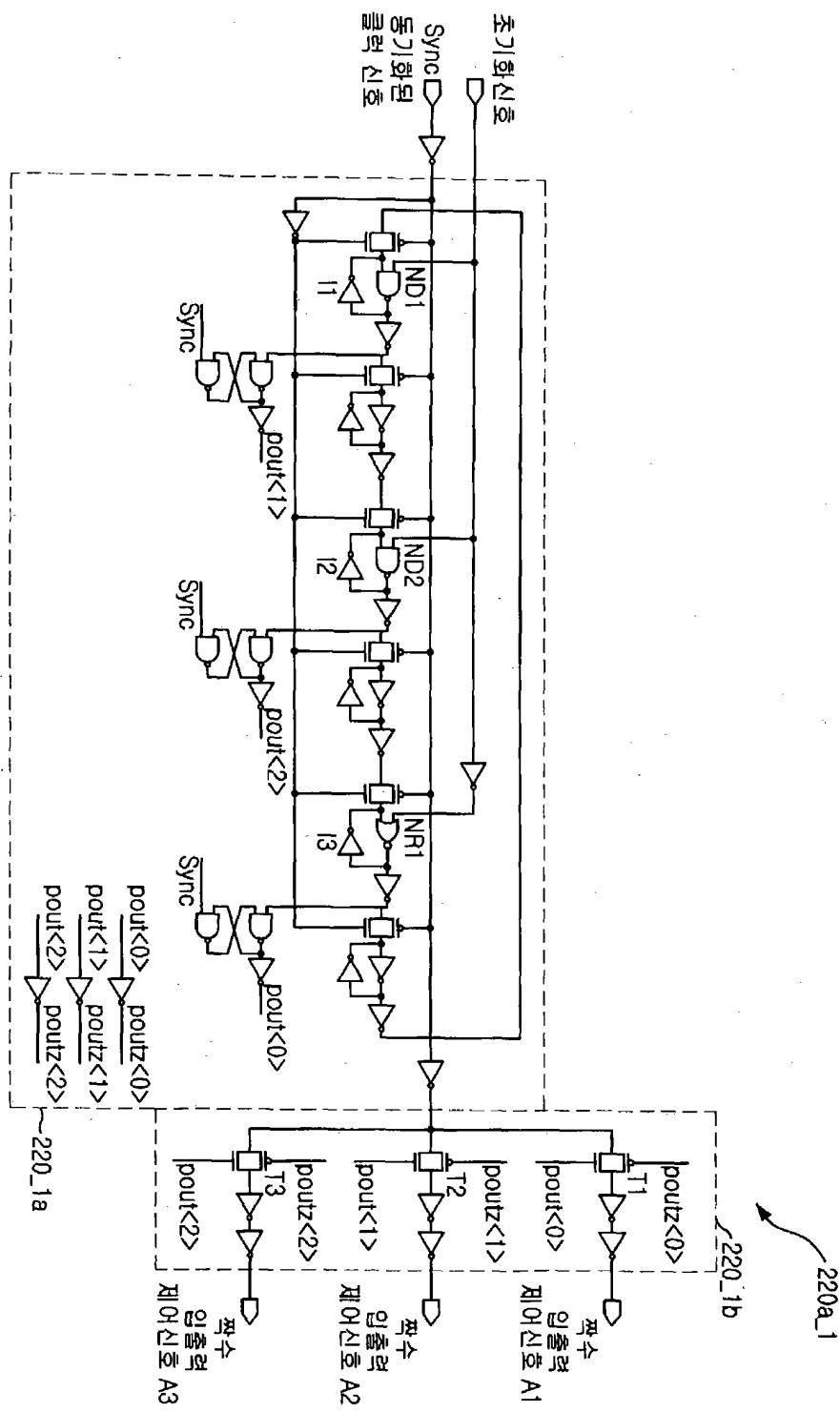
【도 11】



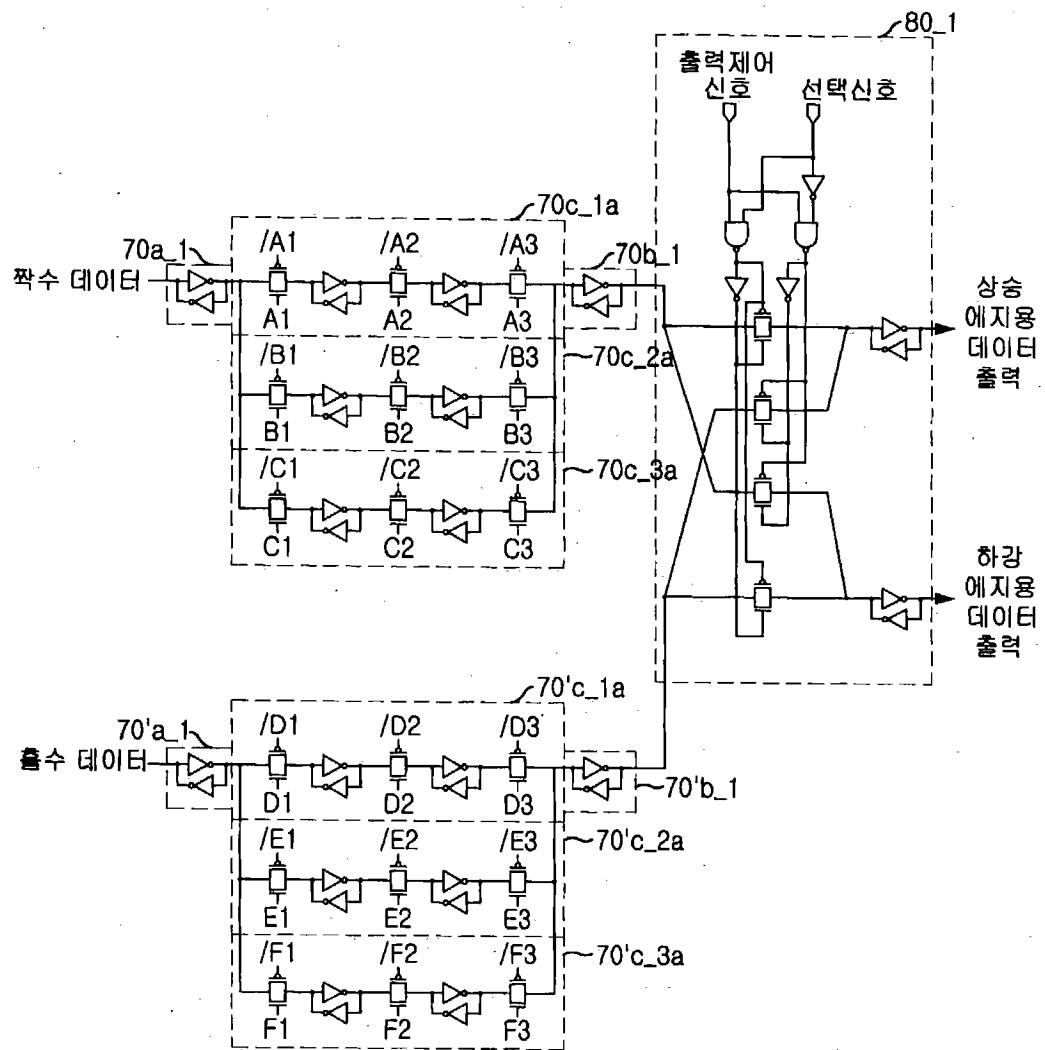
【도 12】



【도 13】



【도 14】



【도 15】

